

PAT-NO: JP410232853A  
DOCUMENT-IDENTIFIER: JP 10232853 A  
TITLE: SERIAL DATA TRANSFER CIRCUIT

PUBN-DATE: September 2, 1998

INVENTOR-INFORMATION:

NAME COUNTRY  
HASHIGUCHI, TAKASHI

ASSIGNEE-INFORMATION:

NAME COUNTRY  
TOSHIBA CORP N/A

APPL-NO: JP09033659

APPL-DATE: February 18, 1997

INT-CL (IPC): G06F013/42 , G06F001/12 , H04L007/00 , H04L025/40

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a serial data transfer circuit capable of simplifying setting, lowering power consumption and sharing serial clocks for transfer control.

SOLUTION: This serial data transfer circuit is divided into a first circuit block 11A and a second circuit block 11B provided with plural transfer circuits 11B-1 to 11B-3 and the first circuit block is shared with the plural transfer circuits. The first circuit block is provided with a register part 12-1, a serial clock generation part 15, an output clock selection part 16, a clock request signal decoding part 17 and a clock stoppage signal generation part 18 and the plural serial clocks are generated and selectively supplied to the respective transfer circuits. The respective transfer circuits are provided with the register parts 12-2 and 12-3, a transmission part 13 and a reception part 14. The plural serial data transfer circuits are incorporated in a product, and in the case that a clock rate is the same, the serial clocks for the transfer control are shared and setting is simplified.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 ( J P )

(12) 公 開 特 許 公 報 ( A )

(11)特許出願公開番号

特開平10-232853

(43)公開日 平成10年(1998) 9月2日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

G 0 6 F 13/42

3 5 0

G 0 6 F 13/42

3 5 0

1/12

H 0 4 L 7/00

Z

H 0 4 L 7/00

25/40

D

25/40

G 0 6 F 1/04

3 4 0 D

審査請求 未請求 請求項の数12 O L (全 15 頁)

(21)出願番号

特願平9-33659

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(22)出願日

平成9年(1997) 2月18日

(72)発明者 橋口 貴史

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

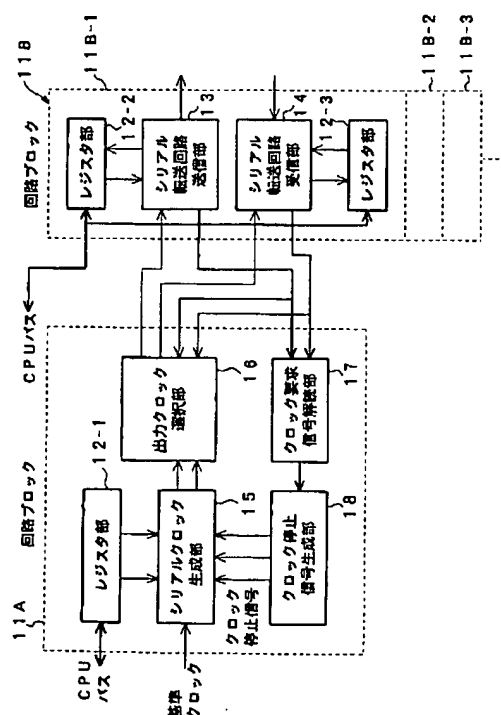
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 シリアルデータ転送回路

(57)【要約】

【課題】設定の簡単化、低消費電力化、転送制御用のシリアルクロックの共有化ができるシリアルデータ転送回路を提供することを目的としている。

【解決手段】シリアルデータ転送回路を、第1の回路ブロック11Aと複数の転送回路11B-1～11B-3を有する第2の回路ブロック11Bとに分け、複数の転送回路で第1の回路ブロックを共用することを特徴とする。第1の回路ブロックには、レジスタ部12-1、シリアルクロック生成部15、出力クロック選択部16、クロック要求信号解読部17及びクロック停止信号生成部18が含まれ、複数のシリアルクロックを生成して各転送回路に選択的に供給する。各転送回路にはレジスタ部12-2、12-3、送信部13及び受信部14が含まれている。複数のシリアルデータ転送回路を製品に内蔵し、且つクロックレートが同じ場合に、転送制御用のシリアルクロックを共用でき、設定を簡単化できる。



1

## 【特許請求の範囲】

【請求項1】 基準クロックに基づいて転送制御用の複数のシリアルクロックを生成するシリアルクロック生成手段と、外部から供給された制御データをラッチし、上記シリアルクロック生成手段を制御する第1のレジスタ手段と、上記シリアルクロック生成手段で生成された複数のシリアルクロックが供給され、出力するクロックを選択する出力クロック選択手段と、この出力クロック選択手段から供給されたシリアルクロックにตอบสนองしてデータを受信する複数の受信手段と、これら複数の受信手段に対応して設けられ、上記出力クロック選択手段から供給されたシリアルクロックにตอบสนองしてデータを送信する複数の送信手段と、上記複数の送信手段にそれぞれ対応して設けられ、外部から供給された制御データをラッチして対応する送信手段を制御する第2のレジスタ手段と、上記複数の受信手段にそれぞれ対応して設けられ、外部から供給された制御データをラッチして対応する受信手段を制御する第3のレジスタ手段とを具備することを特徴とするシリアルデータ転送回路。

【請求項2】 前記複数の受信手段及び送信手段から要求されないシリアルクロックの生成を停止するクロック停止手段を更に具備することを特徴とする請求項1に記載のシリアルデータ転送回路。

【請求項3】 前記クロック停止手段は、前記複数の受信手段及び前記複数の送信手段のクロック要求信号を解読するクロック要求信号解読部と、このクロック要求信号解読部から出力された解読信号に基づいて前記シリアルクロック生成手段にクロック停止信号を供給して一部の回路の動作を停止させるクロック停止信号生成部とを備えることを特徴とする請求項2に記載のシリアルデータ転送回路。

【請求項4】 前記第1のレジスタ手段及び前記複数の第2、第3のレジスタ手段はそれぞれバスを介してCPUに接続され、CPUから前記制御データが供給されることを特徴とする請求項1ないし3いずれか1つの項に記載のシリアルデータ転送回路。

【請求項5】 基準クロックに基づいて転送制御用の複数のシリアルクロックを発生する第1の回路ブロックと、この第1の回路ブロックから供給された複数のシリアルクロックに基づいてデータの転送が制御される複数の転送回路を有する第2の回路ブロックとを備え、前記第1の回路ブロックは、基準クロックに基づいて転送制御用の複数のシリアルクロックを生成するシリアルクロック生成部と、外部から供給された制御データをラッチし、上記シリアルクロック生成部を制御する第1のレジスタ部と、上記シリアルクロック生成部で生成された複数のシリアルクロックが供給され、上記第2の回路ブロックの各転送回路から要求されたシリアルクロックを対応する転送回路に供給する出力クロック選択部とを有し、

2

上記第2の回路ブロックの各転送回路は、上記出力クロック選択部から供給されたシリアルクロックにตอบสนองして入力されたデータを受信する複数の受信部と、これら複数の受信部に対応して設けられ、上記出力クロック選択部から供給されたシリアルクロックにตอบสนองしてデータを出力する複数の送信部と、上記複数の送信部にそれぞれ対応して設けられ、外部から供給された制御データをラッチして上記送信部を制御する複数の第2のレジスタ部と、上記複数の受信部にそれぞれ対応して設けられ、外部から供給された制御データをラッチして上記受信部を制御する第3のレジスタ部とを有し、上記第1の回路ブロックを上記第2の回路ブロック中の複数の転送回路で共用することを特徴とするシリアルデータ転送回路。

【請求項6】 クロック停止信号を出力して前記シリアルクロック生成部で生成するシリアルクロックの生成を停止するクロック停止信号生成部を更に具備し、前記第2の回路ブロックから要求されないシリアルクロックの生成を停止することを特徴とする請求項5に記載のシリアルデータ転送回路。

【請求項7】 前記第2の回路ブロック中の各受信部及び送信部から供給されたクロック要求信号を解読するクロック要求信号解読部を更に具備し、このクロック要求信号解読部から出力された解読信号に基づいて前記シリアルクロック生成部にクロック停止信号を供給して一部の回路の動作を停止させることを特徴とする請求項6に記載のシリアルデータ転送回路。

【請求項8】 前記シリアルクロック生成部からクロック停止信号が供給されて動作が停止される一部の回路は、前記基準クロックを分周してシリアルクロックを生成する複数の分周回路の少なくとも1つであることを特徴とする請求項6または7に記載のシリアルデータ転送回路。

【請求項9】 前記第1ないし第3のレジスタ部はそれぞれ、バスを介してCPUに接続され、CPUから制御データが供給されることを特徴とする請求項5ないし8いずれか1つの項に記載のシリアルデータ転送回路。

【請求項10】 基準クロックと同期クロックとに基づいて転送制御用の複数のシリアルクロックを発生する第1の回路ブロックと、この第1の回路ブロックから供給された複数のシリアルクロックに基づいてデータの転送が制御される複数の転送回路を有する第2の回路ブロックとを備え、

上記第1の回路ブロックは、上記第2の回路ブロックの各転送回路から要求されたクロック要求信号を解読するクロック要求信号解読部と、基準クロックと同期クロックとに基づいて転送制御用の複数のシリアルクロックを生成するシリアルクロック生成部、外部から供給された制御データをラッチし、上記シリアルクロック生成部を制御するレジスタ部、及び上記クロック要求信号解読部

から出力される解読信号に基づいて、上記シリアルクロック生成部にクロック停止信号を供給してシリアルクロックの生成動作を制御するクロック停止信号生成部を備えた複数のチャンネルと、上記シリアルクロック生成部で生成された複数のシリアルクロックが供給され、上記第2の回路ブロックの各転送回路から要求されたシリアルクロックを対応する転送回路に供給する出力クロック選択部とを有し、

上記第2の回路ブロックの各転送回路は、各々が必要とするシリアルクロックの選択信号を上記出力クロック選択部に供給して制御し、この出力クロック選択部から供給されたシリアルクロックにตอบสนองして、入力されたデータを受信する複数の受信部と、これら複数の受信部に対応して設けられ、上記出力クロック選択部から供給されたシリアルクロックにตอบสนองして、転送データを出力する複数の送信部とを有し、

上記第1の回路ブロックを上記第2の回路ブロック中の複数の転送回路で共用することを特徴とするシリアルデータ転送回路。

【請求項11】 前記シリアルクロック生成部からクロック停止信号が供給されて動作が停止される一部の回路は、前記基準クロックを分周してシリアルクロックを生成する複数の分周回路の少なくとも1つであることを特徴とする請求項10に記載のシリアルデータ転送回路。

【請求項12】 前記レジスタ部は、バスを介してCPUに接続され、CPUから制御データが供給されることを特徴とする請求項10または11に記載のシリアルデータ転送回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体集積回路装置中に設けられるシリアルデータ転送回路に関し、特に複数のシリアルデータ転送回路が内蔵される製品に好適なものである。

【0002】

【従来の技術】半導体集積回路装置において、他のデバイスと通信する手段として1ビット単位でデータ転送を扱うシリアルデータ転送回路が知られている。このシリアルデータ転送回路は、レジスタ部、送信部、受信部、及びシリアルクロック生成部等から構成されている。一般にシリアルデータ転送回路は、これらの回路部が一体化されており、データの転送制御に必要なシリアルクロックは、シリアルクロック生成部で生成されて送信部及び受信部に供給される。そして、このようなシリアルデータ転送回路を複数個内蔵する製品の場合には、シリアルクロックの生成はあくまで個別に行われている。

【0003】図15は、従来のシリアルデータ転送回路の概略構成を示すブロック図である。図15において、11はシリアルデータ転送回路、12-1、12-2、12-3はそれぞれレジスタ部、13はシリアル転送回

路の送信部、14はシリアル転送回路の受信部、及び15はシリアルクロック生成部である。シリアルクロック生成部15には基準クロックが入力され、この基準クロックから転送制御用のシリアルクロックが生成されて上記送信部13及び受信部14に供給される。受信部14に転送されたデータは、上記シリアルクロックに同期してレジスタ部12-3に入力され、バスを介してCPUに供給される。CPUからバスを介してレジスタ部12-2に供給された転送データは、上記シリアルクロックに同期して送信部13から出力される。上記レジスタ部12-1、12-2、12-3はCPUからバスを介して供給された制御データをラッチし、このラッチした制御データに基づいて上記シリアルクロック生成部15によるクロックの生成、送信部13及び受信部14によるデータ転送を制御するようになっている。

【0004】図16は、従来のシリアルデータ転送回路の他の構成例を示している。この回路は、送信部13用のシリアルクロック生成部15-1と受信部14用のシリアルクロック生成部15-2とを備えており、送信部13と受信部14とで異なるクロックレートでデータの転送制御が行えるようになっている。他の基本的な構成並びに動作は図15に示した回路と同様である。

【0005】ところで、従来のシリアルデータ転送回路は、データの転送制御用のシリアルクロックはあくまで個々のシリアルデータ転送回路毎に生成し、その中でしか使用できないようになっていた。そのため、複数のシリアルデータ転送回路を内蔵した製品の場合、転送するクロックレートが同じであっても、個々のシリアルデータ転送回路を別々に設定し、転送制御用のシリアルクロックを生成しなければならないという問題があった。また、同一クロックレートを実現する場合でも個別にシリアルクロック生成部が動作してしまうので、無駄な電力が消費され、低消費電力化には不向きであるという問題があった。更に、複数のシリアルデータ転送回路間で転送制御用のシリアルクロックの共有化ができないため、複数の回路で送信時または受信時にシリアルクロックを同期させて使用するような応用が簡単には実現できないという問題があった。

【0006】

【発明が解決しようとする課題】上記のように従来のシリアルデータ転送回路は、複数のシリアルデータ転送回路を内蔵した製品の場合、個々のシリアルデータ転送回路を別々に設定し、転送制御用のシリアルクロックを生成しなければならない、設定が複雑になるという問題があった。

【0007】また、複数のシリアルデータ転送回路を内蔵した製品の場合、同一クロックレートを実現する際にも個別にシリアルクロック生成回路が動作し、無駄な消費電力が多くなるという問題があった。

【0008】更に、複数のシリアルデータ転送回路間

で転送制御用のシリアルクロックの共有化ができないため、複数の回路で送信時または受信時にシリアルクロックを同期させて使用するような応用が簡単には実現できないという問題があった。

【0009】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、複数個のシリアルデータ転送回路を製品に内蔵し、且つ転送するクロックレートが同じ場合には、転送制御用のシリアルクロックを共用でき、設定を簡単化できるシリアルデータ転送回路を提供することにある。

【0010】また、この発明の他の目的は、複数個のシリアルデータ転送回路を製品に内蔵し、且つ同一クロックレートを実現する場合に、無駄な電力消費を削減して低消費電力化が図れるシリアルデータ転送回路を提供することにある。

【0011】この発明の更に他の目的は、複数個のシリアルデータ転送回路間で転送制御用のシリアルクロックを共有化でき、複数の回路で送信時または受信時に、容易にシリアルクロックを同期させて使用できるシリアルデータ転送回路を提供することにある。

【0012】

【課題を解決するための手段】この発明の請求項1に記載したシリアルデータ転送回路は、基準クロックに基づいて転送制御用の複数のシリアルクロックを生成するシリアルクロック生成手段と、外部から供給された制御データをラッチし、上記シリアルクロック生成手段を制御する第1のレジスタ手段と、上記シリアルクロック生成手段で生成された複数のシリアルクロックが供給され、出力するクロックを選択する出力クロック選択手段と、この出力クロック選択手段から供給されたシリアルクロックにตอบสนองしてデータを受信する複数の受信手段と、これら複数の受信手段に対応して設けられ、上記出力クロック選択手段から供給されたシリアルクロックにตอบสนองしてデータを送信する複数の送信手段と、上記複数の送信手段にそれぞれ対応して設けられ、外部から供給された制御データをラッチして対応する送信手段を制御する第2のレジスタ手段と、上記複数の受信手段にそれぞれ対応して設けられ、外部から供給された制御データをラッチして対応する受信手段を制御する第3のレジスタ手段とを具備することを特徴としている。

【0013】請求項2に記載したように、請求項1のシリアルデータ転送回路において、前記複数の受信手段及び送信手段から要求されないシリアルクロックの生成を停止するクロック停止手段を更に具備することを特徴とする。

【0014】請求項3に記載したように、請求項2のシリアルデータ転送回路において、前記クロック停止手段は、前記複数の受信手段及び前記複数の送信手段のクロック要求信号を解読するクロック要求信号解読部と、このクロック要求信号解読部から出力された解読信号に基

づいて前記シリアルクロック生成手段にクロック停止信号を供給して一部の回路の動作を停止させるクロック停止信号生成部とを備えることを特徴とする。

【0015】請求項4に記載したように、請求項1ないし3いずれか1つの項のシリアルデータ転送回路において、前記第1のレジスタ手段及び前記複数の第2、第3のレジスタ手段はそれぞれバスを介してCPUに接続され、CPUから前記制御データが供給されることを特徴とする。

10 【0016】また、この発明の請求項5に記載したシリアルデータ転送回路は、基準クロックに基づいて転送制御用の複数のシリアルクロックを発生する第1の回路ブロックと、この第1の回路ブロックから供給された複数のシリアルクロックに基づいてデータの転送が制御される複数の転送回路を有する第2の回路ブロックとを備え、前記第1の回路ブロックは、基準クロックに基づいて転送制御用の複数のシリアルクロックを生成するシリアルクロック生成部と、外部から供給された制御データをラッチし、上記シリアルクロック生成部を制御する第1のレジスタ部と、上記シリアルクロック生成部で生成された複数のシリアルクロックが供給され、上記第2の回路ブロックの各転送回路から要求されたシリアルクロックを対応する転送回路に供給する出力クロック選択部とを有し、上記第2の回路ブロックの各転送回路は、上記出力クロック選択部から供給されたシリアルクロックにตอบสนองして入力されたデータを受信する複数の受信部と、これら複数の受信部に対応して設けられ、上記出力クロック選択部から供給されたシリアルクロックにตอบสนองしてデータを出力する複数の送信部と、上記複数の送信部にそれぞれ対応して設けられ、外部から供給された制御データをラッチして上記送信部を制御する複数の第2のレジスタ部と、上記複数の受信部にそれぞれ対応して設けられ、外部から供給された制御データをラッチして上記受信部を制御する第3のレジスタ部とを有し、上記第1の回路ブロックを上記第2の回路ブロック中の複数の転送回路で共用することを特徴としている。

【0017】請求項6に記載したように、請求項5のシリアルデータ転送回路において、クロック停止信号を出力して前記シリアルクロック生成部で生成するシリアルクロックの生成を停止するクロック停止信号生成部を更に具備し、前記第2の回路ブロックから要求されないシリアルクロックの生成を停止することを特徴とする。

【0018】請求項7に記載したように、請求項6のシリアルデータ転送回路において、前記第2の回路ブロック中の各受信部及び送信部から供給されたクロック要求信号を解読するクロック要求信号解読部を更に具備し、このクロック要求信号解読部から出力された解読信号に基づいて前記シリアルクロック生成部にクロック停止信号を供給して一部の回路の動作を停止させることを特徴とする。

【0019】請求項8に記載したように、請求項6または7のシリアルデータ転送回路において、前記シリアルクロック生成部からクロック停止信号が供給されて動作が停止される一部の回路は、前記基準クロックを分周してシリアルクロックを生成する複数の分周回路の少なくとも1つであることを特徴とする。

【0020】請求項9に記載したように、請求項5ないし8いずれか1つの項のシリアルデータ転送回路において、前記第1ないし第3のレジスタ部はそれぞれ、バスを介してCPUに接続され、CPUから制御データが供給されることを特徴とする。

【0021】更に、この発明の請求項10に記載したシリアルデータ転送回路は、基準クロックと同期クロックとに基づいて転送制御用の複数のシリアルクロックを発生する第1の回路ブロックと、この第1の回路ブロックから供給された複数のシリアルクロックに基づいてデータの転送が制御される複数の転送回路を有する第2の回路ブロックとを備え、上記第1の回路ブロックは、上記第2の回路ブロックの各転送回路から要求されたクロック要求信号を解読するクロック要求信号解読部と、基準クロックと同期クロックとに基づいて転送制御用の複数のシリアルクロックを生成するシリアルクロック生成部、外部から供給された制御データをラッチし、上記シリアルクロック生成部を制御するレジスタ部、及び上記クロック要求信号解読部から出力される解読信号に基づいて、上記シリアルクロック生成部にクロック停止信号を供給してシリアルクロックの生成動作を制御するクロック停止信号生成部を備えた複数のチャンネルと、上記シリアルクロック生成部で生成された複数のシリアルクロックが供給され、上記第2の回路ブロックの各転送回路から要求されたシリアルクロックを対応する転送回路に供給する出力クロック選択部とを有し、上記第2の回路ブロックの各転送回路は、各々が必要とするシリアルクロックの選択信号を上記出力クロック選択部に供給して制御し、この出力クロック選択部から供給されたシリアルクロックにตอบสนองして、入力されたデータを受信する複数の受信部と、これら複数の受信部に対応して設けられ、上記出力クロック選択部から供給されたシリアルクロックにตอบสนองして、転送データを出力する複数の送信部とを有し、上記第1の回路ブロックを上記第2の回路ブロック中の複数の転送回路で共用することを特徴としている。

【0022】請求項11に記載したように、請求項10のシリアルデータ転送回路において、前記シリアルクロック生成部からクロック停止信号が供給されて動作が停止される一部の回路は、前記基準クロックを分周してシリアルクロックを生成する複数の分周回路の少なくとも1つであることを特徴とする。

【0023】請求項12に記載したように、請求項10または11のシリアルデータ転送回路において、前記レ

ジスタ部は、バスを介してCPUに接続され、CPUから制御データが供給されることを特徴とする。

【0024】請求項1のような構成によれば、シリアルクロック生成手段で生成した複数のシリアルクロックを、出力クロック選択手段によって複数の受信手段と複数の送信手段に振り分けるので、転送するクロックレートが同じ場合には、転送制御用のシリアルクロックを共用でき、設定を簡単化できる。

【0025】請求項2に示すように、クロック停止手段によって要求のないシリアルクロックの生成を停止すれば、複数のシリアルデータ転送回路を製品に内蔵し、且つ同一クロックレートを実現する場合に、無駄な電力消費を削減して低消費電力化が図れる。

【0026】請求項3に示すように、クロック停止手段は、クロック要求信号解読部とクロック停止信号生成部とで構成できる。

【0027】請求項4に示すように、制御データをCPUから供給してシリアルデータ転送回路を制御することにより、種々のデバイスやシステムに容易に適用できる。

【0028】また、請求項5のような構成によれば、シリアルクロック生成部で生成した複数のシリアルクロックを、出力クロック選択部によって複数の受信部と複数の送信部に振り分けるので、第1の回路ブロックを第2の回路ブロック中の複数の転送回路で共用でき、複数のシリアルデータ転送回路を製品に内蔵し、転送するクロックレートが同じ場合には、転送制御用のシリアルクロックを共用して設定を簡単化できる。

【0029】請求項6に示すように、クロック停止信号生成部を更に設け、複数のシリアルデータ転送回路を製品に内蔵し、且つ同一クロックレートを実現の場合に、前記第2の回路ブロックから要求されないシリアルクロックの生成を停止すれば、無駄な電力消費を削減して低消費電力化が図れる。

【0030】請求項7に示すように、クロック要求信号解読部を更に設け、このクロック要求信号解読部から出力された解読信号をクロック停止信号生成部に供給すれば、シリアルクロック生成部の一部の回路の動作をクロック要求信号に応じて容易に停止させることができ、容易に低消費電力化が図れる。

【0031】請求項8に示すように、分周回路の少なくとも1つをクロック停止信号で停止すると効率良く低消費電力化できる。

【0032】請求項9に示すように、制御データをCPUから供給してシリアルデータ転送回路を制御することにより、種々のデバイスやシステムに容易に適用できる。

【0033】請求項10のような構成によれば、シリアルクロック生成部で生成した複数のシリアルクロックを、出力クロック選択部によって複数の受信部と複数の

送信部に振り分けるので、第1の回路ブロックを第2の回路ブロック中の複数の転送回路で共用でき、転送するクロックレートが同じ場合には、転送制御用のシリアルクロックを共用して設定を簡単化できる。また、複数の転送回路間で転送制御用のシリアルクロックを共有化でき、複数の回路で送信時または受信時に、同期クロックを各チャンネルに供給して制御することにより、シリアルクロックを容易に同期させて使用できる。

【0034】請求項11に示すように、分周回路の少なくとも1つをクロック停止信号で停止すると効率良く低消費電力化できる。

【0035】請求項12に示すように、制御データをCPUから供給してシリアルデータ転送回路を制御することにより、種々のデバイスやシステムに容易に適用できる。

【0036】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1は、この発明の第1の実施の形態に係るシリアルデータ転送回路の概略構成を示すブロック図である。このシリアルデータ転送回路の基本構成は、図15に示した従来のシリアルデータ転送回路におけるシリアルクロック生成部15を独立させ、且つこのシリアルクロック生成部15から出力されるシリアルクロックを複数の送信部13と複数の受信部14に選択的に供給するための出力クロック選択部、上記複数の送信部13と複数の受信部14からのクロック要求信号を解読するクロック要求信号解読部、シリアルクロック生成部15で必要としない一部の回路部の動作を停止させるクロック停止信号生成部等を設けたものである。

【0037】すなわち、独立させたシリアルクロック生成部15を含む回路ブロック11A中には、レジスタ部12-1、出力クロック選択部16、クロック要求信号解読部17、及びクロック停止信号生成部18が設けられ、回路ブロック11B中には各々がレジスタ部12-2、12-3、送信部13及び受信部14を有する転送回路11B-1、11B-2、11B-3、…が設けられている。

【0038】上記シリアルクロック生成部15には基準クロックが入力され、この基準クロックから転送制御用の複数のシリアルクロックが生成されて出力クロック選択部16に供給される。この出力クロック選択部16によって選択されたシリアルクロックは、上記回路ブロック11Bにおける転送回路11B-1、11B-2、11B-3、…中の送信部13または受信部14に選択信号に応じて供給される。受信部14には出力クロック選択部16から供給されたシリアルクロックに同期して転送されたデータが入力され、出力クロック選択部16から供給されたシリアルクロックに同期して送信部13からデータが出力される。上記レジスタ部12-1、12

-2、12-3はそれぞれCPUのバスに接続され、CPUから供給された制御データをラッチする。そして、上記レジスタ部12-1にラッチされた制御データに基づいて上記シリアルクロック生成部15が制御され、上記レジスタ部12-2にラッチされた制御データに基づいて送信部13が制御され、上記レジスタ部12-3にラッチされた制御データに基づいて受信部14が制御される。また、上記受信部14に転送されたデータは、レジスタ部12-3に供給され、バスを介してCPUに供給されるようになっており、上記送信部13から転送するデータは、CPUからバスを介してレジスタ12-2に供給されるようになっている。

【0039】上記回路ブロック11Bにおける各転送回路11B-1、11B-2、11B-3、…中の送信部13及び受信部14から出力されたシリアルクロックの選択信号は上記出力クロック選択部16に、クロック要求信号はクロック要求信号解読部17にそれぞれ供給される。クロック要求信号解読部17でクロック要求信号を解読して得られた信号はクロック停止信号生成部18に供給され、このクロック停止信号生成部18から出力されるクロック停止信号がシリアルクロック生成部15に供給されて各転送回路11B-1、11B-2、11B-3、…から要求のないシリアルクロックの生成が停止される。

【0040】次に、上記のような構成において動作を説明する。回路ブロック11B中の各転送回路11B-1、11B-2、11B-3、…より回路ブロック11Aにクロック要求信号が入力されると、クロック要求信号解読部17で解読され、クロック停止信号生成部18からシリアルクロック生成部15にクロック停止信号が供給される。シリアルクロック生成部15では基準クロックに基づいてシリアルクロックを生成する際に、例えば基準クロックを分周する複数の分周回路のうちの1つを停止させることにより、上記クロック停止信号で指定されたクロックの生成を停止する。また、CPUからバスを介してレジスタ部12-1に供給された制御データにより上記シリアルクロック生成部15が制御され、生成された複数のシリアルクロックが出力クロック選択部16に供給される。この出力クロック選択部16には、送信部13及び受信部14から選択信号が供給され、選択されたシリアルクロックが回路ブロック11-2中の対応する送信部13及び受信部14にそれぞれ振り分けて供給される。これによって、転送されたデータがシリアルクロックに同期して受信部14に入力され、シリアルクロックに同期して送信部13から出力される。このデータの転送動作は、CPUからバスを介してレジスタ部12-2、12-3に供給された制御データにより制御される。また、上記受信部14に転送されたデータは、必要に応じてレジスタ部12-3に供給されてラッチされ、バスを介してCPUに供給され、上記送信部1

## 11

3から転送するデータは、CPUからバスを介してレジスタ12-2に供給される。

【0041】上記のような構成によれば、回路ブロック11B中の複数の転送回路11B-1、11B-2、11B-3、…で回路ブロック11Aを共用できるので、複数のシリアルデータ転送回路が内蔵された製品において、転送するクロックレートが同じ場合には、転送用のシリアルクロックを共用でき、設定を簡単化できる。また、複数のシリアルデータ転送回路が内蔵された製品において、同一クロックレートを実現する場合に、クロック要求信号解読部17とクロック停止信号生成部18とでシリアルクロック生成部15中の不必要な一部の回路の動作を停止し、要求のないシリアルクロックの生成を停止させることができるので、無駄な電力消費を削減して低消費電力化が図れる。更に、シリアルクロック生成部15を独立させているため、製品に内蔵するシリアルデータ転送回路の数を増加させたい場合には、転送回路11B-1、11B-2、11B-3、…の数を増加させるだけで良く、従来の回路よりも回路規模の増大を抑えることができる。しかも、消費電力の多いシリアルクロック生成部15を共有化しているため、製品全体の消費電力の増加も抑制できる。

【0042】図2は、この発明の第2の実施の形態に係るシリアルデータ転送回路の構成例を示すブロック図である。図2において、上記図1と同一構成部には同じ符号を付しており、回路ブロック11Aは4つのチャンネル19-1(chA)、19-2(chB)、19-3(chC)、19-4(chD)を備え、第2の回路ブロック11Bは3つの送信部13-1、13-2、13-3と3つの受信部14-1、14-2、14-3とを備えている。上記チャンネル19-1～19-4は同じ回路構成になっており、各々に図1で示したレジスタ部12-1、シリアルクロック生成部15、及びクロック停止信号生成部18が内蔵されている。上記各チャンネル19-1～19-4には基準クロックと外部同期クロックが供給されるとともに、バスを介してCPUに接続されている。また、クロック要求信号解読部17から各チャンネルのクロック停止信号生成部18に信号brava \*

## 12

\*r, brbvar, brcvar, brdvarが供給されてシリアルクロックの生成動作が制御される。そして、これらのチャンネル19-1～19-4からは、シリアルクロックbr00x, br01x, br02x, br05x (xはチャンネル名、チャンネルchAならば、xはaで表現する)が生成される。そのとき各転送回路の送信部から入力される信号UyCHR, UyMDR, UyCHT, UyMDT (yは転送回路の番号、U2ならば、yは2で表現する)によって、各チャンネルにクロック要求信号解読部17で解読された信号が渡され、必要のあるシリアルクロック以外のシリアルクロックの生成を停止する信号を生成する。

【0043】図3ないし図6はそれぞれ、上記図2に示した回路から出力されるシリアルクロックのタイミングチャートであり、送信部用のシリアルクロック(転送クロック)T1～T3と受信部用のシリアルクロック(転送クロック)R1～R3を示している。図3は転送クロックT3、図4は転送クロックR3、図5は転送クロックT2とR2、及び図6は転送クロックR1とT1をそれぞれ示しており、これらのタイミングチャートで示しているbr00a等の信号は、チャンネル19-1(chA)の場合を代表としてあげている。他のチャンネル19-2(chB)～19-4(chD)も信号名の違いだけで、基本的な動作は全く同じである。

【0044】各チャンネル19-1(chA)～19-4(chD)内に内蔵されたクロック停止信号生成部18は、下表1に示される真理値表のような論理動作を行うように構成されている。クロック停止信号は、br00mask, br01mask, br02mask, br05maskの計4つとなっている。これらの信号は、各転送回路が要求している転送クロックの種類によって状態が決められるようになっている。例えば、転送クロックR2が要求されたとすると、表1で示されるように信号br01maskとbr05maskが1となる。br01mask=1の場合はbr01aが停止し、br05mask=1の場合はbr05aを生成する回路まで停止するようになっている。

【0045】

【表1】

入力				出力				概要
bravar				br00 mask	br01 mask	br02 mask	br05 mask	
3	2	1	0					
0	0	0	0	1	1	1	1	クロックの要求なし
0	0	0	1	0	1	1	1	転送クロックR1, T1
0	0	1	?	0	1	0	1	転送クロックR2, T2
0	1	?	?	0	0	0	1	転送クロックR3
1	?	?	?	0	0	0	0	転送クロックT3

? : don't care

【0046】図7は、表1に示したような機能を実現するシリアルクロック生成部15の具体的な回路構成例を示している。シリアルクロック生成部15は、フリップフロップ31～34、インバータ35～37、ノアゲ

※ト38～41及びアンドゲート42から構成されている。信号br00aはインバータ35の入力端に供給され、このインバータ35の出力がフリップフロップ31のクロック入力端及びノアゲート40の一方の入力端に供給



## 13

される。ノアゲート40の他方の入力端には信号br01maskが供給され、出力端から信号br01aが出力される。上記フリップフロップ31の出力QNはこのフリップフロップのデータ入力端D、ノアゲート41の一方の入力端、及びフリップフロップ32のクロック入力端にそれぞれ供給される。上記ノアゲート41の他方の入力端には信号br02maskが供給され、その出力端から信号br02aが出力される。

【0047】信号brenはインバータ36の入力端に、信号br01mask、br02maskはアンドゲート42の入力端にそれぞれ供給される。インバータ36及びアンドゲート42の出力はそれぞれ、ノアゲート38に供給される。ノアゲート38の出力はインバータ37の入力端に供給されるとともに、反転されてフリップフロップ31の端子CDに供給される。上記インバータ37の出力及び信号br05maskはノアゲート39に供給される。ノアゲート39の出力は反転されてフリップフロップ32～34の端子CDに供給される。フリップフロップ32の出力QNは、そのデータ入力端D及びフリップフロップ33のクロック入力端に供給される。同様に、フリップフロップ33の出力QNは、そのデータ入力端D及びフリップフロップ34のクロック入力端に供給される。そして、フリップフロップ34の出力端Qから信号br05aが出力される。

【0048】このような構成によれば、チャンネル19-1(chA)内で必要とするシリアルクロックのみを生成することができる。転送モードとしては、おおまかに送信用と受信用に分かれ、更に各々3種類に分類される。下表2及び下表3に分類したものを示している。その分類したものから、あてはまるタイミングが図3ないし図6のタイミングチャートとなる。例えば、表3の転送クロック要求T3の場合のタイミングチャートは、図3の転送クロックT3となる。転送クロックT1の場合は、図6で示されるタイミングチャートになる。

【0049】

【表2】

UxMDR		転送モード概略
1	0	
0	0	クロックの要求なし
0	1	転送クロック要求R1
1	0	転送クロック要求R2
1	1	転送クロック要求R3

【0050】

【表3】

UxMDT		転送モード概略
1	0	
0	0	クロックの要求なし
0	1	転送クロック要求T1
1	0	転送クロック要求T2
1	1	転送クロック要求T3

## 14

【0051】図8(a)、(b)及び図9(a)、(b)はそれぞれ、上記図2の出力クロック選択部16中の転送回路11B-1(U2)に対応するブロック図であり、下表4ないし下表7はそれぞれ上記図8(a)、図8(b)、図9(a)、及び図9(b)に対応する真理値表である。

【0052】

【表4】

U2CHR		BCU200R	ch番号
1	0		
0	0	br00a	ch A
0	1	br00b	ch B
1	0	br00c	ch C
1	1	br00d	ch D

【0053】

【表5】

U2CHT		BCU200R	ch番号
1	0		
0	0	br00a	ch A
0	1	br00b	ch B
1	0	br00c	ch C
1	1	br00d	ch D

【0054】

【表6】

mdrv	U2CHR		BCU212R	ch番号
	1	0		
0	0	0	br02a	ch A
0	0	1	br02b	ch B
0	1	0	br02c	ch C
0	1	1	br02d	ch D
1	0	0	br01a	ch A
1	0	1	br01b	ch B
1	1	0	br01c	ch C
1	1	1	br01d	ch D

【0055】

【表7】

mdrv	U2CHT		BCU212R	ch番号
	1	0		
0	0	0	br02a	ch A
0	0	1	br02b	ch B
0	1	0	br02c	ch C
0	1	1	br02d	ch D
1	0	0	br01a	ch A
1	0	1	br01b	ch B
1	1	0	br01c	ch C
1	1	1	br01d	ch D

【0056】転送回路11B-1(U2)から出力される信号U2CHR、U2MDR、U2CHT、U2MDTによって、この転送回路11B-1が必要としているシリアルクロックを選択できるようになっている。これらの信号として、U2CHRは転送回路11B-1の受信部14-1より出力され、どのチャンネル中のシリアルクロック生成部を選

15

択するかを決定する。信号U2CHTは、送信部13-1より出力され、同様にどのチャンネル中のシリアルクロック生成部を選択するかを決定する。信号U2MDR, U2MDTは、前述した表2, 表3で示される転送モードを決定するのに使用される。

【0057】図10(a), (b), (c)、図11(a), (b)、図12(a), (b)、及び図13(a), (b)はそれぞれクロック要求信号解読部17の具体的な構成例を示すブロック図、図14はクロック要求信号解読部17の論理式について説明するための図である。また、下表8ないし下表16はそれぞれ上記図10(a), 図10(b), 図10(c), 図11(a), 図11(b), 図12(a), 図12(b), 図13(a)及び図13(b)に示した回路にそれぞれ対応した真理値表である。

【0058】

【表8】

出力			入力		
u2vtr	u2vtr	u2vtr	U2MDR	U2MDT	
			1 0	1 0	1 0
0 0	0 0	0 0	0 0	0 0	0 0
0 0	0 1	0 1	0 1	0 1	0 1
0 0	1 0	1 0	1 0	1 0	1 0
0 1	1 1	1 1	1 1	1 1	1 1
1 0	1 1	1 1	1 1	1 1	1 1

? : don't care

【0059】

【表9】

出力			入力		
u3vtr	u3vtr	u3vtr	U3MDR	U3MDT	
			1 0	1 0	1 0
0 0	0 0	0 0	0 0	0 0	0 0
0 0	0 1	0 1	0 1	0 1	0 1
0 0	1 0	1 0	1 0	1 0	1 0
0 1	1 1	1 1	1 1	1 1	1 1
1 0	1 1	1 1	1 1	1 1	1 1

? : don't care

【0060】

【表10】

16

出力			入力		
u4vtr	u4vtr	u4vtr	U4MDR	U4MDT	
			1 0	1 0	1 0
0 0	0 0	0 0	0 0	0 0	0 0
0 0	0 1	0 1	0 1	0 1	0 1
0 0	1 0	1 0	1 0	1 0	1 0
0 1	1 1	1 1	1 1	1 1	1 1
1 0	1 1	1 1	1 1	1 1	1 1

? : don't care

【0061】

【表11】

U2CHR		u2vr	u2var	ch番号
1	0			
0	0	u2vra	u2varra	ch A
0	1	u2vrb	u2varrb	ch B
1	0	u2vrc	u2varrc	ch C
1	1	u2vrd	u2varrd	ch D

【0062】

【表12】

U2CHT		u2vt	u2var	ch番号
1	0			
0	0	u2vta	u2varta	ch A
0	1	u2vtb	u2varb	ch B
1	0	u2vtc	u2varc	ch C
1	1	u2vtd	u2vard	ch D

【0063】

【表13】

U3CHR		u3vr	u3var	ch番号
1	0			
0	0	u3vra	u3varra	ch A
0	1	u3vrb	u3varrb	ch B
1	0	u3vrc	u3varrc	ch C
1	1	u3vrd	u3varrd	ch D

【0064】

40 【表14】

U3CHT		u3vt	u3var	ch番号
1	0			
0	0	u3vta	u3varta	ch A
0	1	u3vtb	u3varb	ch B
1	0	u3vtc	u3varc	ch C
1	1	u3vtd	u3vard	ch D

【0065】

【表15】

17

U4CHR		u4vr	u4var	ch番号
1	0			
0	0	u4vra	u4varra	ch A
0	1	u4vrb	u4varrb	ch B
1	0	u4vrc	u4varrc	ch C
1	1	u4vrd	u4varrd	ch D

【0066】

【表16】

U4CHT		u4vt	u4var	ch番号
1	0			
0	0	u4vta	u4varla	ch A
0	1	u4vtb	u4varlb	ch B
1	0	u4vta	u4varlc	ch C
1	1	u4vtd	u4varld	ch D

【0067】各転送回路11B-1～11B-3から出力されるクロック要求信号をクロック要求信号解読部17に供給して解読し、この解読信号を各チャンネル19-1～19-4中のシリアルクロック生成部に供給する。この際の個々の動作は、入力されたクロック要求信号を転送モードの区別のために一旦分解して、各チャンネルのシリアルクロック生成部毎に信号を振り分け、最終段のところでチャンネル毎に論理和を取って、各チャンネル用の解読信号を生成している。この解読信号に基づいて、各チャンネル中のクロック停止信号生成部が動作するようになっている。

【0068】上記のような構成によれば、回路ブロック11B中の複数の転送回路11B-1、11B-2、11B-3で回路ブロック11Aを共用できるので、複数の個のシリアルデータ転送回路が内蔵された製品において、転送するクロックレートが同じ場合には、転送用のシリアルクロックを共用でき、設定を簡単化できる。また、複数の個のシリアルデータ転送回路が内蔵された製品において、同一クロックレートを実現する場合に、クロック要求信号解読部17とクロック停止信号生成部とで各チャンネル19-1～19-4におけるシリアルクロック生成部中の不必要な一部の回路の動作を停止し、要求のないシリアルクロックの生成を停止させることができるので、無駄な電力消費を削減して低消費電力化が図れる。更に、各チャンネル19-1～19-4に外部から同期クロックを供給して同期させているので、複数の個のシリアルデータ転送回路間で転送制御用のシリアルクロックを共有化でき、複数の回路で送信時または受信時に、容易にシリアルクロックを同期させて使用することができる。更に、製品に内蔵するシリアルデータ転送回路の数を増加させたい場合には、転送回路11B-1、11B-2、11B-3、…の数を増加させるだけで良く、従来の回路よりも回路規模の増大を抑えることができる。しかも、消費電力の多い回路部を共有化しているので、製品全体の消費電力の増加も抑制できる。

【0069】

18

【発明の効果】以上説明したように、この発明によれば、複数のシリアルデータ転送回路を製品に内蔵し、且つ転送するクロックレートが同じ場合には、転送制御用のシリアルクロックを共用でき、設定を簡単化できるシリアルデータ転送回路が得られる。

【0070】また、複数のシリアルデータ転送回路を製品に内蔵し、且つ同一クロックレートを実現する場合に、無駄な電力消費を削減して低消費電力化が図れるシリアルデータ転送回路が得られる。

10 【0071】更に、複数のシリアルデータ転送回路間で転送制御用のシリアルクロックを共有化でき、複数の回路で送信時または受信時に、容易にシリアルクロックを同期させて使用できるシリアルデータ転送回路が得られる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態に係るシリアルデータ転送回路の概略構成を示すブロック図。

【図2】この発明の第2の実施の形態に係るシリアルデータ転送回路の概略構成を示すブロック図。

20 【図3】図2に示した回路から出力される転送クロックのタイミングチャート。

【図4】図2に示した回路から出力される転送クロックのタイミングチャート。

【図5】図2に示した回路から出力される転送クロックのタイミングチャート。

【図6】図2に示した回路から出力される転送クロックのタイミングチャート。

【図7】シリアルクロック生成部の具体的な構成例を示す回路図。

30 【図8】図2の出力クロック選択部中のシリアル転送回路に対応するブロック図。

【図9】図2の出力クロック選択部中のシリアル転送回路に対応するブロック図。

【図10】クロック要求信号解読部の具体的な構成例を示すブロック図。

【図11】クロック要求信号解読部の具体的な構成例を示すブロック図。

【図12】クロック要求信号解読部の具体的な構成例を示すブロック図。

40 【図13】クロック要求信号解読部の具体的な構成例を示すブロック図。

【図14】クロック要求信号解読部の論理式について説明するための図。

【図15】従来のシリアルデータ転送回路の概略構成を示すブロック図。

【図16】従来のシリアルデータ転送回路の他の構成例を示すブロック図。

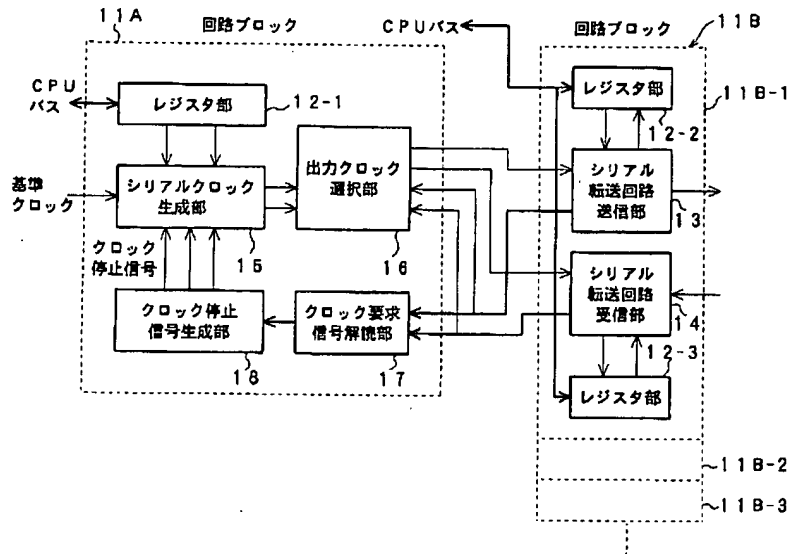
【符号の説明】

11A…第1の回路ブロック、11B…第2の回路ブロック、11B-1～11B-3…転送回路、12-1、

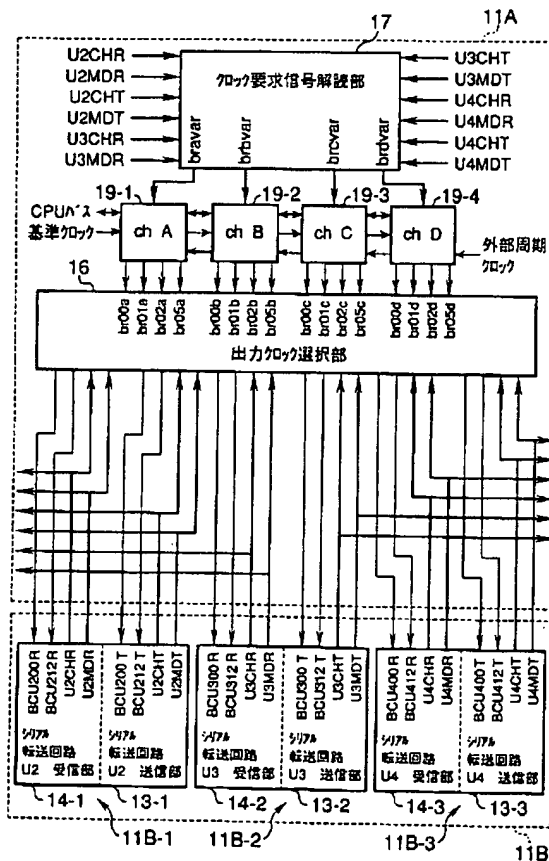
12-2, 12-3...レジスタ部、13, 13-1~13-3...送信部、14, 14-1~14-3...受信部、15...シリアルクロック生成部、16...出力クロック選

択部、17...クロック要求信号読取部、18...クロック停止信号生成部、19-1~19-4...チャンネル。

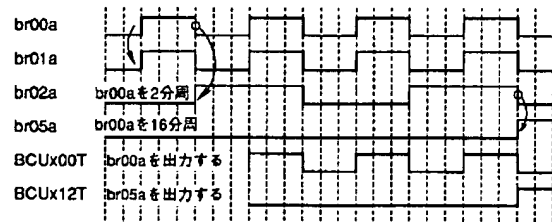
【図1】



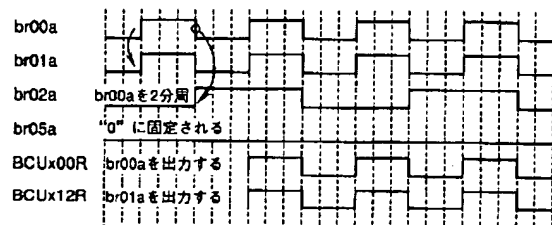
【図2】



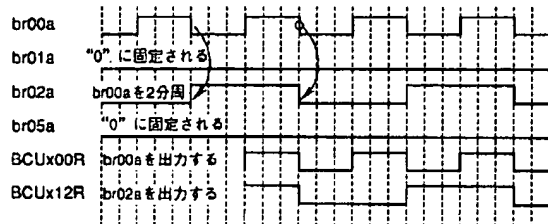
【図3】



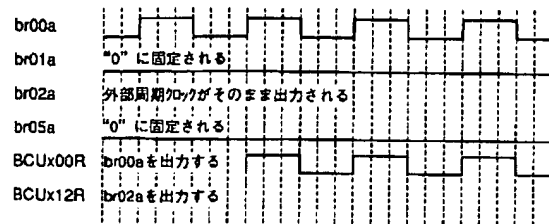
【図4】



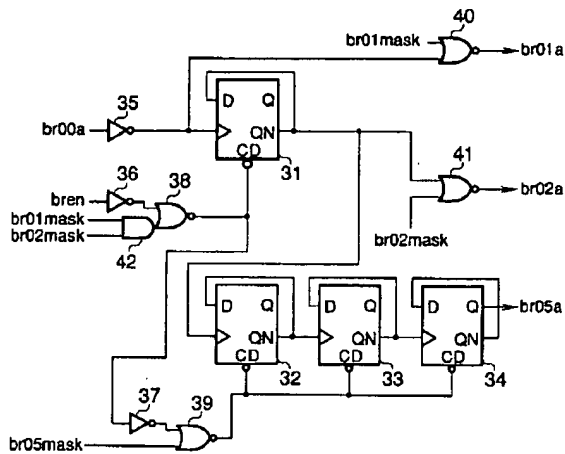
【図5】



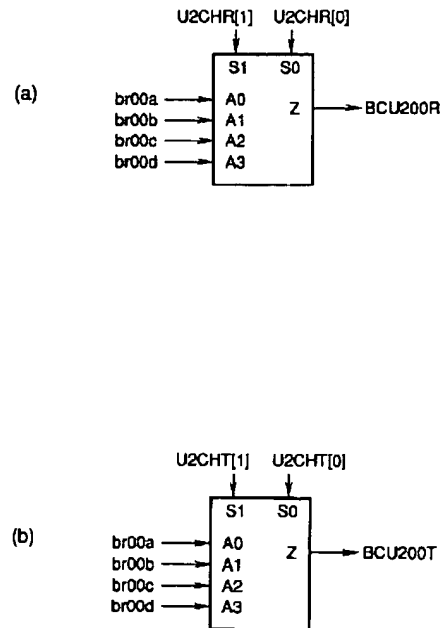
【図6】



【図7】



【図8】



【図14】

```

bravar[0] = u2varra[0] : u3varra[0] : u4varra[0] : u2varta[0] : u3varta[0] : u4varta[0] :
brbvar[0] = u2varrb[0] : u3varrb[0] : u4varrb[0] : u2varbt[0] : u3varbt[0] : u4varbt[0] :
bravar[0] = u2varrc[0] : u3varrc[0] : u4varrc[0] : u2varct[0] : u3varct[0] : u4varct[0] :
brdvar[0] = u2vard[0] : u3vard[0] : u4vard[0] : u2vardt[0] : u3vardt[0] : u4vardt[0] :

bravar[1] = u2varra[1] : u3varra[1] : u4varra[1] : u2varta[1] : u3varta[1] : u4varta[1] :
brbvar[1] = u2varrb[1] : u3varrb[1] : u4varrb[1] : u2varbt[1] : u3varbt[1] : u4varbt[1] :
bravar[1] = u2varrc[1] : u3varrc[1] : u4varrc[1] : u2varct[1] : u3varct[1] : u4varct[1] :
brdvar[1] = u2vard[1] : u3vard[1] : u4vard[1] : u2vardt[1] : u3vardt[1] : u4vardt[1] :

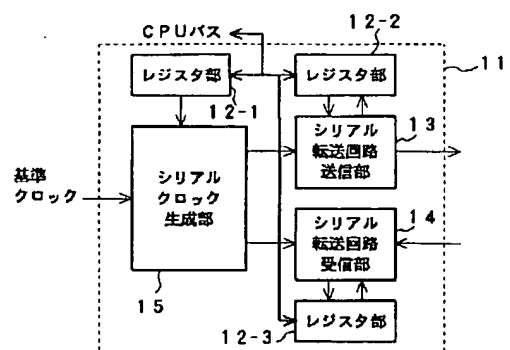
bravar[2] = u2vra : u3vra : u4vra :
brbvar[2] = u2vrb : u3vrb : u4vrb :
bravar[2] = u2vrc : u3vrc : u4vrc :
brdvar[2] = u2vrd : u3vrd : u4vrd :

bravar[3] = u2vta : u3vta : u4vta :
brbvar[3] = u2vtb : u3vtb : u4vtb :
bravar[3] = u2vtc : u3vtc : u4vtc :
brdvar[3] = u2vtd : u3vtd : u4vtd :

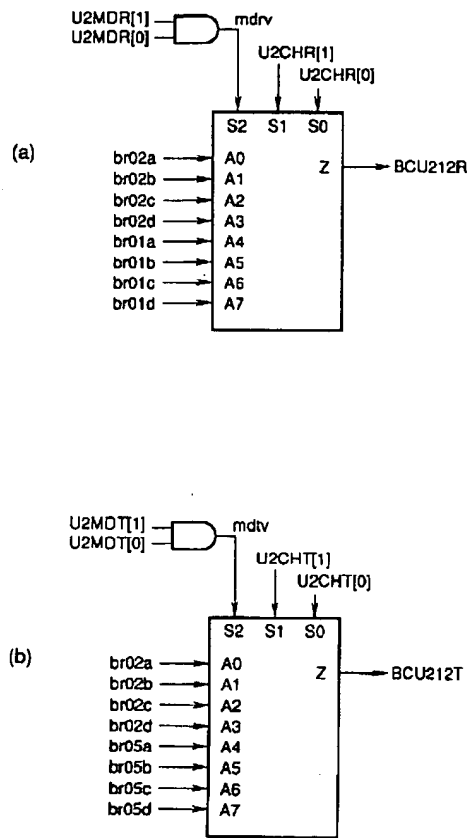
```

:: 論理和

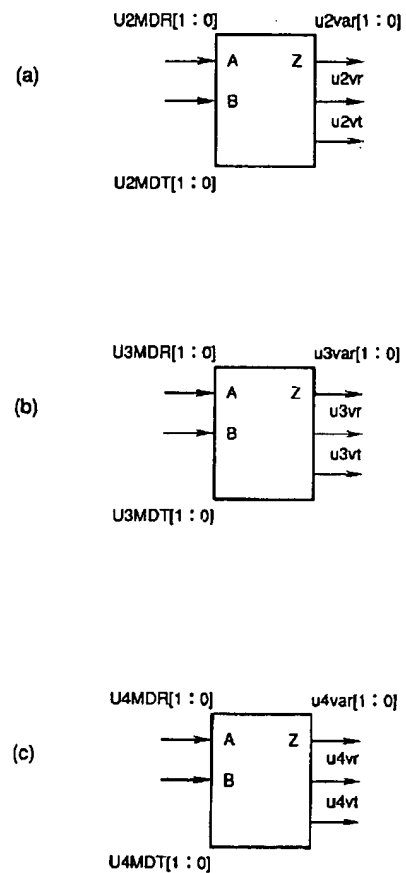
【図15】



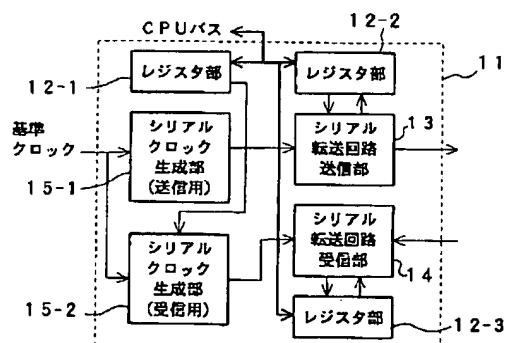
【図9】



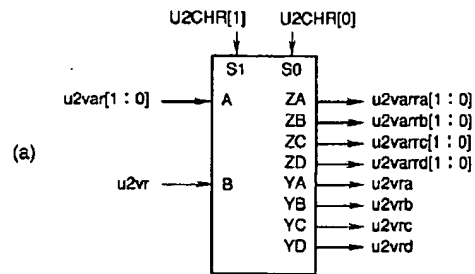
【図10】



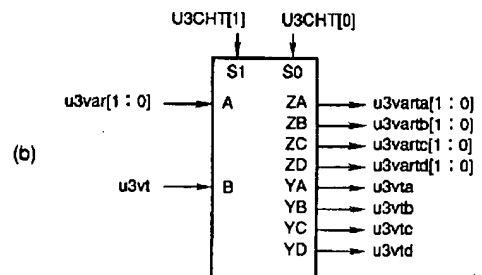
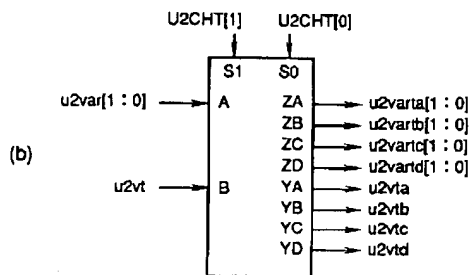
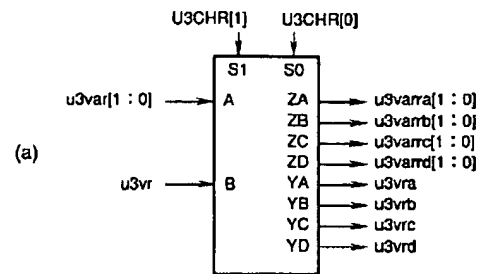
【図16】



【図11】



【図12】



【図13】

